

Александр Дмитриевич ПИСАРЕВ¹

УДК 621.382; 004.33

SPICE-МОДЕЛИРОВАНИЕ ПРОЦЕССОВ АССОЦИАТИВНОГО САМООБУЧЕНИЯ И БЕЗУСЛОВНОГО РАЗОБУЧЕНИЯ В ЛОГИЧЕСКОМ БЛОКЕ НЕЙРОПРОЦЕССОРА

¹ кандидат технических наук,
доцент кафедры прикладной и технической физики ФТИ,
заведующий лабораторией пучково-плазменных технологий НОЦ «Нанотехнологии»,
Тюменский государственный университет
spcb.doc@gmail.com

Аннотация

Исследование относится к индустрии создания наноэлектронных блоков, предназначенных для реализации устройства нейропроцессора, являющегося аппаратной платформой нейронных сетей и сложных биоморфных архитектур, например, имитирующих работу кортикальной колонки головного мозга. В статье описана схема электронного логического блока, который является ключевым узлом нейропроцессора, выполняющим, в частности, функции ассоциативного самообучения и безусловного разобучения нейронной сети.

Логический блок нейропроцессора состоит из элементарных ячеек, в электрической схеме которых в качестве элемента памяти используется мемристор, соединенный с диодно-транзисторным логическим компонентом. Топология логического блока имеет 3D-периодическую конструкцию, которая представляет собой композицию КМОП-слоев и кроссбаров с мемристивным материалом. Техпроцесс изготовления логического блока является достаточно простым и может быть адаптирован к существующим линиям производства электронных приборов, т. к. основан на типовых физико-химических производственных методах. Мемристорные кроссбары изготавливаются методом реактивного магнетронного напыления, который скомбинирован с распространенной стандартной КМОП-технологией.

Цитирование: Писарев А. Д. SPICE-моделирование процессов ассоциативного самообучения и безусловного разобучения в логическом блоке нейропроцессора / А. Д. Писарев // Вестник Тюменского государственного университета. Физико-математическое моделирование. Нефть, газ, энергетика. 2018. Том 4. № 3. С. 132-145.
DOI: 10.21684/2411-7978-2018-4-3-132-145

На основе логического блока предложена электрическая схема, выполняющая функции известной модели нейрона Ходжкина — Хаксли. В качестве примеров реализации процессов ассоциативного самообучения и безусловного разобучения электронного логического блока были использованы принципы взаимодействия нейронов в живых объектах при выработке условного рефлекса.

Функционирование логического блока в основных режимах исследовалось методом компьютерного SPICE-моделирования. Для этого были разработаны модельные схемы управляющих драйверов, которые подключались к линиям кроссбаров логического блока для формирования информационных сигналов и задания режима работы логического блока. В качестве результатов моделирования представлены эпюры напряжений и токов комбинированного мемристорного кроссбара, полученные в заданных режимах работы устройства.

Основным достигнутым результатом является модель синапса нейрона, реализованная аналоговой работой мемристора в качестве запоминающего элемента логического блока при его импульсном чтении и записи. Показано изменение сопротивления мемристоров логического блока в процессе импульсной записи и стабильное функционирование во время чтения в процессах ассоциативного самообучения и безусловного разобучения трехслойной нейросети.

Ключевые слова

Нанoeлектроника, SPICE-моделирование, нейронные сети, биоморфный нейропроцессор, комбинированный кроссбар, мемристор, ассоциативное самообучение.

DOI: 10.21684/2411-7978-2018-4-3-132-145

Введение

Биоморфный способ обработки информации находит все большее применение в современных информационных технологиях. Такой информационный подход используется сейчас для решения широкого круга практических задач в искусственных нейронных сетях с системой машинного обучения огромного числа простых нейронов. В обзоре [15] представлен современный уровень развития информационных нейросетей на основе простых нейронов, систематизированы архитектуры и разновидности процедур обучения.

Наиболее серьезным ограничением всех простых описанных в литературе формальных моделей нейрона является отсутствие в них моделирования развивающегося во времени каскада событий, связанных с формированием памяти. Как известно, в реальном нейроне формирование следа памяти включает в себя целую совокупность последовательно развивающихся и обуславливающих друг друга электрокинетических и биохимических явлений. Эти явления включают в себя как формирование потенциалов в аксонных окончаниях и дендритах клетки (с определенным временем жизни), так и структурные изменения клетки в результате синтеза новых белков под управлением генетического аппарата

нейрона, запускаемого паттернами входных сигналов. К таким структурным изменениям в первую очередь следует отнести синтез новых рецепторов медиаторов и их встраивание в постсинаптические мембраны.

С другой стороны, существуют подробные реалистичные модели нейрона в нейрофизиологии, где учитываются метаболические процессы вплоть до молекулярного уровня [11, 12]. Современная биологическая модель нейрона [6] и спайковая нейросеть [3] на ее основе разработаны для интерпретации в нейрофизиологии ряда экспериментальных данных. В этих моделях изменение потенциала во времени на мембране нейрона описывается сложной многопараметрической системой дифференциальных уравнений. Особое внимание уделяется так называемой кортикальной колонке, универсальному элементу неокортекса [16]. Именно эта структура считается модулем, отвечающим за высшие нервные функции в системе обработки информации головным мозгом. Кортикальная колонка содержит большое количество относительно однородно расположенных клеток нейронов с еще большим количеством связей и представляет собой в совокупности сверхбольшую нейронную сеть.

Моделирование большого числа биологических нейронов биоморфного искусственного интеллекта с точки зрения нейрофизиологии представляет собой сложную лабораторную задачу, поскольку требует огромных вычислительных мощностей для решения систем дифференциальных уравнений, что можно выполнить только с применением суперкомпьютера. Это сильно ограничивает применение сложных реалистичных моделей архитектур биологических нейронов для решения практических задач, требующих обычно энергоэффективного и мобильного подхода.

Исследования по созданию автономного аппаратного средства — нейропроцессора, на котором можно установить как нейросети с простыми нейронами, используемые в информационных технологиях, так и биоморфную нейросеть для имитации работы кортикальной колонки, начаты более 10 лет назад. За это время в ограниченном количестве изготовлен нейропроцессор IBM TrueNorth [13], построенный на КМОП-транзисторах. Нейропроцессор IBM TrueNorth благодаря многоядерной архитектуре обеспечивает наилучшую на сегодняшний день производительность для симуляции кортикальной колонки мозга, однако его возможности существенно ограничены размером нейронной архитектуры при сверхбольшой интеграции транзисторов на кристалле.

В [4, 5] представлены результаты работы над мемристорной аппаратной базой, которая обеспечивает значительное сокращение числа транзисторов в электрической схеме нейропроцессора за счет использования мемристоров в качестве синапсов и предназначена для создания биоморфных электронных систем. Такой подход направлен на повышение степени интеграции и энергоэффективности при увеличении размеров архитектур биоморфных нейронных сетей во время перехода к сверхбольшим электронным устройствам.

Проблему изготовления энергоэффективных сверхбольших 3D-матриц можно решить путем создания нового компонента нанoeлектроники — комбиниро-

ванного кроссбара, включающего мемристорный слой и полупроводниковый слой диодов Зенера [10]. При использовании диодов Зенера исключаются возможные случайные переключения комплементарных мемристоров в кроссбаре, и, как следствие, минимизируются паразитные токи и повышается энергоэффективность устройства.

В работе [14] разработана электрическая схема, топология и нанотехнология изготовления сверхбольшой многослойной запоминающей матрицы с энерго-независимой памятью и высокой степенью интеграции элементов на основе комбинированного мемристорно-диодного кроссбара.

Определенным преимуществом может обладать аппаратная реализация биоморфных нейросетей на базе нейропроцессорного устройства, в котором алгоритмы математического расчета можно заменить эффективной работой электронного логического блока с памятью. Этот подход предложен в работе [2], где под биоморфным нейропроцессором авторы подразумевают аппаратное средство, предназначенное для решения практических нейросетевых задач, построенное по принципам биоморфной модели нейрона Ходжкина — Хаксли [6, 7] с программируемой архитектурой связей между ними.

В тексте настоящей работы рассмотрено SPICE-моделирование логического блока, разработанного на основе логической матрицы 3D для применения в схеме нейропроцессора со сверхбольшой степенью интеграции нейронов в процессах ассоциативного самообучения и безусловного разобучения. Представлены результаты моделирования электрических схем в режимах чтения и записи мемристоров.

Логический блок нейропроцессора

Ближайшим аналогом логического блока нейропроцессора может являться известный массив Акерса на основе мемристоров [8], который обладает функциональной полнотой и его можно запрограммировать на выполнение любой логической функции. Однако в одном массиве невозможно реализовать основную логическую функцию — комбинационную схему для, например, маршрутизации сигналов между нейронами — из-за наличия в массиве Акерса только одного выхода. Использование нескольких массивов как необходимый прием для организации такой операции приведет к непропорциональному росту количества элементов и, соответственно, к значительному увеличению размеров логического устройства. Главным недостатком схемы массива Акерса является высокая деградация выходного сигнала, что не позволяет использовать его для сверхбольших архитектур. При этом мемристорный массив Акерса обладает слабой интеграцией элементов памяти, связанной с большим количеством транзисторов в элементарной ячейке. Если же использовать массив Акерса в секвенциальной (последовательностной) схеме, это приведет к увеличению времени вычислений из-за последовательного вычисления каждого разряда выходного вектора, что значительно снизит быстродействия всего устройства.

В отличие от массива Акерса устройство Hewlett-Packard (HP) [9] выполняет умножение матрицы чисел на вектор в аналоговом виде. Оно может быть

использовано в качестве маршрутизатора нейронных сигналов и цифрового логического блока, моделирующего самообучения нейронной сети, при подаче входных логических сигналов на затворы транзисторов. Но использование такой большого массива (8192 ячеек) в качестве сверхбольшого логического блока нейропроцессора нецелесообразно из-за низкой интеграции элементов: на один транзистор с минимальным размером $4F^2$ приходится лишь один мемристор размером $1F^2$.

Наиболее подходящим решением является применение в качестве логического блока нейропроцессора сверхбольшой 3D-логической матрицы, представленной в работе [1]. Электрическая схема и топология 3D-фрагмента логической матрицы показана на рис. 1. Матрица реализована на основе комбинированного мемристорно-диодного кроссбара 1D1M и КМОП-инверторов и может быть сверхбольшой, содержащей более 106 элементарных ячеек.

Главным преимуществом конструкции 3D-матрицы [1], состоящей из многовходовых элементов «И-НЕ», по сравнению с массивами [8] и [9] является более высокая степень интеграции, которая достигается за счет объединения на кристалле в 3D-структуру одинаковых перпендикулярно ориентированных функциональных пластов с комбинированными мемристорными кроссбарами в качестве коммутаторов и, как следствие, компактного расположения друг над другом элементов ячейки и самих ячеек. Отсутствие деградации сигнала является важным достоинством матрицы, что достигнуто усилительным свойством инверторов каждого пласта. Техпроцесс изготовления логической матрицы является достаточно простым и может быть адаптирован к существующим линиям производства электронных приборов, т. к. основан на типовых физико-химических производственных методах. Мемристорные кроссбары изготавливаются методом реактивного магнетронного напыления, который скомбинирован с распространенной стандартной КМОП-технологией.

В логической матрице 3D между ячейками разных пластов реализована многовходовая логическая функция «И-НЕ». При этом матрица не обладает полнотой цифровой логики, однако имеющейся функциональности достаточно для осуществления маршрутизации сигналов между нейронами в сверхбольшой сети, организованной по принципу: каждый нейрон предыдущего слоя может быть соединен с каждым нейроном следующего слоя. Как показано по тексту ниже, в такой схеме при применении позиционного кодирования сигналов достигается функциональная полнота при решении некоторых других задач, таких как умножение массива чисел на вектор или реализация самообучения синаптических связей нейронов.

Таким образом, логическая матрица 3D совместно с управляющими драйверами предположительно подходит для реализации логического блока нейропроцессора, основная функция которого заключается в маршрутизации сигналов и ассоциативном самообучении. Это заключение требует проверки путем моделирования узлов схемы в заданных режимах в программе SPICE.

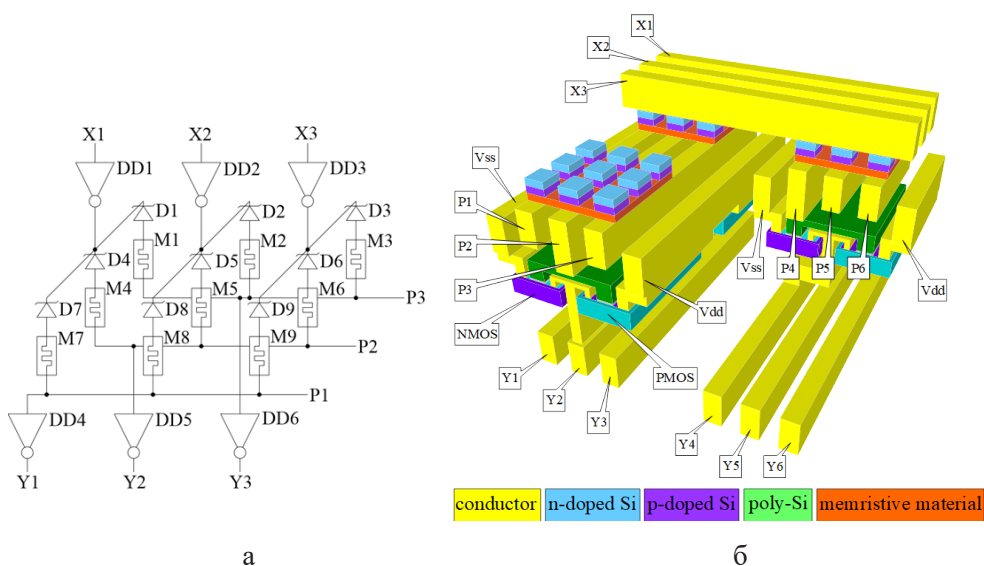


Рис. 1. Электрическая схема и топология 3D-логической матрицы:
 а — электрическая схема функционального пласта с тремя ячейками и межпластовое соединение ячеек;
 б — топология с высокой интеграцией элементов

Fig. 1. Electrical circuit and topology of a 3D logical unit:
 а — the electrical circuit of the functional stratum with three cells and interstratal connection of the cells in the logical unit;
 б — the topology with large-scale integration of elements

Ассоциативное самообучение и безусловное разобучение

Обучение простой информационной нейросети обычно осуществляется в условном процессе по обучающей выборке и методами глубокого машинного обучения, например, в задачах классификации и распознавания образов. В этом случае обучение нейронной сети выполняется путем программирования мемристоров логического блока соответствующих связей импульсами надпорогового напряжения в соответствии с правилами Хебба. Основная работа устройства после обучения, как правило, осуществляется по жесткой логике. Однако алгоритм работы биоморфной нейронной сети может иметь большую сложность из-за ассоциативного самообучения, возникающего в процессе основной работы.

Суть ассоциативного самообучения логического блока нейропроцессора заключается в особом алгоритмическом процессе, когда биоморфные информационные импульсы, формируемые выходом возбужденного нейрона в нейросети, приводят к усилению его синаптических связей. Усиление связей возбужденного нейрона происходит с нейронами предыдущего слоя, если в этот момент времени эти нейроны оказались тоже возбужденными и сформировали на своих выходах информационные импульсы.

Такой алгоритм обучения является биоморфным и принципиально схож с известным экспериментом русского физиолога И. П. Павлова по условным

рефлексам с собакой. Изучая условные рефлексы, ученый подвергал собаку воздействию нейтрального стимула, которым являлся звук метронома, после чего начинал процесс кормления. Через некоторое время у собаки наблюдалось слюноотделение на раздражитель при отсутствии пищи, потому что в процессе обучения у нее появлялся новый условный рефлекс. Это явление принято за пример для проверки работоспособности ассоциативного самообучения в логическом блоке нейропроцессора.

Для реализации ассоциативного самообучения в логическом блоке к шинам питания инверторов 3D-логической матрицы присоединены драйвера, поднимающие входное напряжение выше порога программирования мемристоров. Активация драйверов происходит во время появления выходных импульсов нейрона, что приводит к пробое диода Зенера и уменьшению электрического сопротивления тех мемристоров, на которых присутствуют в это время входные информационные импульсы.

Чтобы логический блок нейропроцессора не насыщался большим количеством связей между нейронами, был реализован процесс безусловного самообучения нейронной сети. Это аналогично нейрофизиологическому явлению забывания редко используемой информации. Для реализации процесса безусловного самообучения от внешнего генератора периодически поступают на мемристоре разобучающие импульсы надпорогового напряжения, увеличивающие электрическое сопротивление мемристоров.

Функции сложения и вычитания взвешенных сигналов, которые реализует нейронный блок нейропроцессора с мемристормыми запоминающими элементами, могут быть выполнены в логическом блоке, состоящем из 3D-логической матрицы и управляющей схемы, расположенной на периферии кристалла. Чтобы промоделировать процесс ассоциативного самообучения, была создана SPICE-модель одного нейрона на основе схемы 3D-логической матрицы с дополнительной электрической цепью обратной связи и транзисторами, выполняющими функции управляющих драйверов. Принципиальная электрическая схема созданного нейрона показана на рис. 2.

В периферийной схеме к шинам, соединенным с затворами КМОП-транзисторов, дополнительно подключены периферийные конденсаторы для имитации возбуждения нейронов путем накопления электрического заряда. В качестве этих конденсаторов могут быть использованы паразитные емкости электрических шин и затворов инвертора 3D-логической матрицы. Каждый конденсатор заряжается электрическими импульсами потенциала действия и выполняет функцию клеточной мембраны биологического нейрона.

Импульсы напряжения, проходя сквозь предыдущий инвертирующий пласт, поступают на конденсаторы через единичные мемристоре, проводимость которых является весом для суммируемых сигналов. Образовавшиеся после взвешивания в мемристорах токи складываются на общей выходной шине и заряжают конденсаторы. Порог активации нейронов определяется напряжением срабатывания КМОП-инверторов логической матрицы.

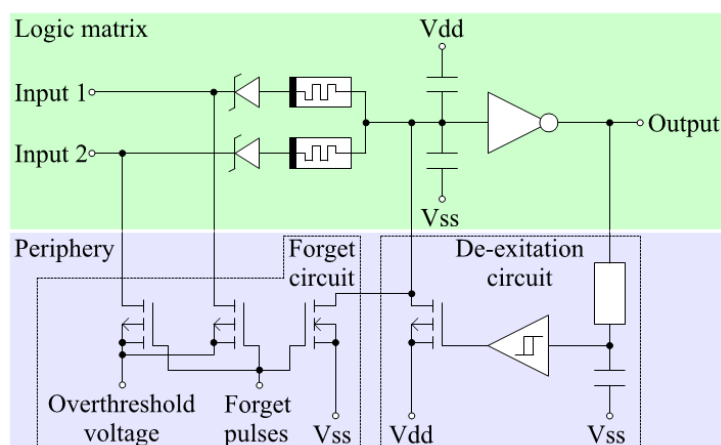


Рис. 2. Принципиальная электрическая схема нейрона в логической матрице: зеленым цветом фона обозначены внутренние элементы матрицы, синим — периферийные элементы

Fig. 2. The electrical circuit of the neuron in the logical matrix: a green background color corresponds to inner matrix elements; the blue background color corresponds to peripheral elements

Уменьшение напряжения на суммирующих конденсаторах внутри логической матрицы, моделирующей процесс возбуждения нейрона, происходит за счет входных импульсов. Импульсы низкого логического уровня через соответствующий мемристор и диод Зенера уменьшают электрическое напряжение на этих конденсаторах, и при достижении порога срабатывания инвертора происходит формирование переднего фронта выходного импульса. Формирование заднего фронта выходного импульса осуществляет схема обратной связи на периферии, построенная на RC-цепи и двухпороговом компараторе, который через транзистор заряжает конденсаторы, тем самым сбрасывая возбуждение нейрона.

На рис. 3 представлены результаты ассоциативного самообучения при SPICE-моделировании аппаратной нейросети, имеющей однородную слоистую структуру, в которой сигнал распространяется перпендикулярно к поверхности подобно кортикальной колонке мозга. Модельная нейросеть состоит из трех нейронных слоев, реализованных в шести функциональных пластах логической матрицы. Связи между нейронами, отмеченные синим цветом, изначально являются слабыми, а связи, отмеченные красным — сильными.

Представленные на рис. 3б импульсы на эпюрах SPICE-моделирования отражают возбуждение нейронов. Нейроны n11 — n14 являются входными, на них подаются информационные импульсы. На графиках видно прохождение сигнала по сильным связям, помеченным красным цветом, во временных областях I-IV. В первом временном интервале входные импульсы, поданные на нейрон n11, проходят через нейрон n21 на выходной нейрон n31. Во втором временном интервале импульсы, поданные на нейрон n13, проходят на нейрон n22 и не попадают на выходной нейрон n31. В третьем и четвертом временных интервалах поданные импульсы на входные нейроны n12 и n14 далее не проходят по слабым связям.

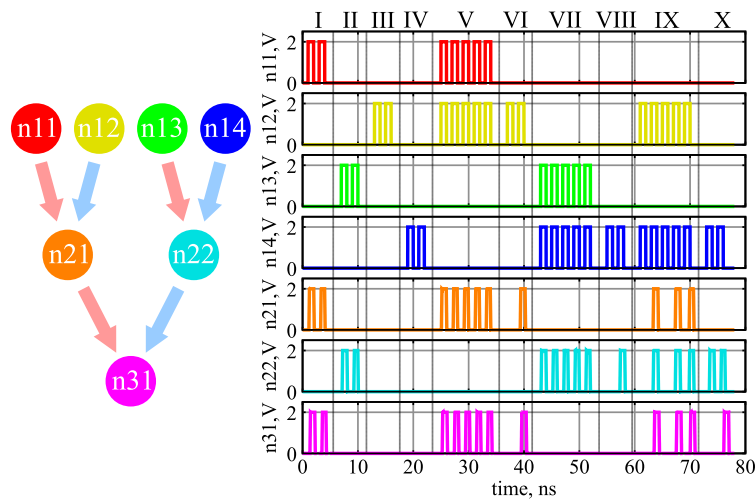


Рис. 3. Ассоциативное самообучение в логическом блоке нейропроцессора: а — архитектура трехслойной аппаратной нейросети (красным помечены изначально связи сильные, синим — слабые); б — эпохи SPICE-моделирования (цвет графика соответствует цвету нейрона)

Fig. 3. Associative self-learning in the logic block of the neuroprocessor: а — the architecture of a three-layer hardware neural network (initially strong links are marked in red, weak links are marked in blue); б — the SPICE-modeling plots (the color of the graph corresponds to the color of the neuron)

Одновременная подача импульсов на входные нейроны запускает процесс самообучения нейронной сети. При этом временные интервалы V, VII и IX на рис. 3б демонстрируют усиление слабых нейронных связей $n12 \rightarrow n21$, $n14 \rightarrow n22$ и $n22 \rightarrow n31$ путем последовательных ассоциаций. В результате, как видно из графика, соответствующего временной области X, происходит ассоциация нейрона $n14$ с нейроном $n31$ через промежуточный слой нейронов.

Результат моделирования показывает, что механизм обучения является транзитивным и работает не только между соседними слоями нейронов, а распространяется на всю аппаратную нейросеть. Уменьшение частоты импульсов выходного нейрона $n31$ в конце графика является следствием работы схемы разобучения. В этом режиме происходит безусловное ослабление усиленных ранее связей, которые не подкреплялись ассоциативным самообучением в предыдущей временной интервал.

На рис. 4 показаны кривые изменения электрического сопротивления мемристоров, изначально слабых нейронных связей, полученных путем SPICE-моделирования логического блока. В моменты самообучения длительностью 80 нс происходит подача на мемристоры импульсов надпорогового напряжения программирования, приводящих к уменьшению их электрического сопротивления. Переход слабой нейронной связи в сильную является пороговым процессом. Этот порог задается параметрами управляющей схемы логической матрицы, располагающейся на периферии.

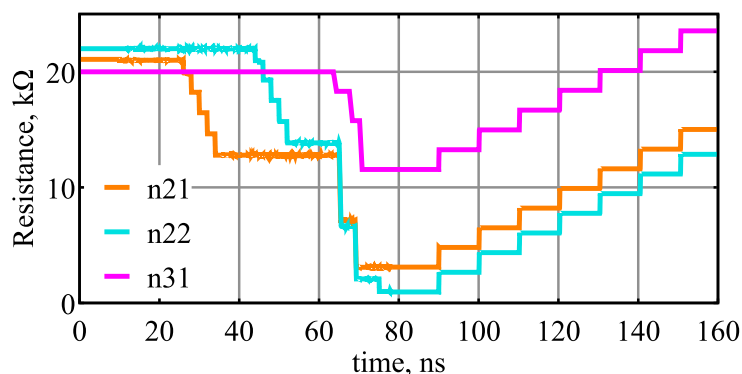


Рис. 4. График изменения электрического сопротивления мемристоров, имитирующих работу синапсов при ассоциативном самообучении

Fig. 4. Graph of changes in electrical resistance of memristors simulating synapses in associative self-learning

Оптимальный порог сопротивления мемристоров, при котором связь между нейронами становится сильной, определен из модели величиной около 15 кОм из соображения высокого быстродействия и энергоэффективности устройства.

Обратный процесс — увеличение электрического сопротивления мемристоров имитирует процесс безусловного разобучения нейронной сети в логическом блоке. Он показан на рис. 4 в интервале времени от 80 нс до 160 нс. В этом интервале работает часть схемы, отвечающей за разобучение логической матрицы. Каждый импульс генератора разобучения приводит к увеличению электрического сопротивления соответствующего мемристора.

Заключение

Таким образом, пласты логической матрицы, функционально дополненные электрическими цепями на периферии, позволяют реализовать механизмы условного самообучения и безусловного разобучения нейронной сети нейропроцессора. Слои нейронов в логической матрице могут быть использованы для имитации работы колонки кортекса с перпендикулярным к поверхности распространением информационных сигналов подобно биологической нейронной архитектуре.

Полученные результаты компьютерного моделирования демонстрируют, что принципиальное схемное решение логического блока позволяет добиться высокого быстродействия и энергоэффективности при аналоговой работе мемристора за счет ключевой работы формирующих сигнал элементов схемы. Логический блок демонстрирует универсальность применения, преимущества в энергоэффективности и скорости работы матрицы по сравнению с известными мемристорными устройствами: аналоговым матрично-векторным умножителем Hewlett-Packard и логическим массивом Акерса.

СПИСОК ЛИТЕРАТУРЫ

1. Логическая матрица на основе мемристорной коммутационной ячейки: пат. 2643650 Рос. Федерация. № 2017111558; заявл. 05.04.2017; опубл. 02.02.2018, Бюл. № 4. 4 с.
2. Удовиченко С. Ю. 3D КМОП-мемристорная нанотехнология создания логической и запоминающей матриц нейропроцессора / С. Ю. Удовиченко, А. Д. Писарев, А. Н. Бусыгин, О. В. Маевский // Наноиндустрия. 2017. № 5. С. 26-34.
3. Baladron J. A Spiking Neural Network Based on the Basal Ganglia Functional Anatomy / J. Baladron, F. H. Hamker // Neural Networks. 2015. Vol. 67. Pp. 1-13.
4. Bobylev A. N. Neuromorphic Coprocessor Prototype Based on Mixed Metal Oxide Memristors / A. N. Bobylev, A. N. Busygin, A. D. Pisarev, S. Yu. Udovichenko, V. A. Filippov // International Journal of Nanotechnology. 2017. Vol. 14. № 7/8. Pp. 698-704.
5. Bobylev A. N. Electrical Properties of a TiN/Ti_xAl_{1-x}O_y/TiN Memristor Device Manufactured by Magnetron Sputtering / A. N. Bobylev, S. Yu. Udovichenko // Russian Microelectronics. 2016. Vol. 45. No. 6. Pp. 396-401.
6. Brette R. Adaptive Exponential Integrate-and-Fire Model as an Effective Description of Neuronal Activity / R. Brette, W. Gerstner // Journal of Neurophysiology. 2005. Vol. 94. No. 5. Pp. 3637-3642.
7. Hodgkin A. L. A Quantitative Description of Membrane Current and Its Application to Conduction and Excitation in Nerve / A. L. Hodgkin, A. F. Huxley // Journal of Physiology. 1952. No. 117 (4). Pp. 500-544.
8. Levy Y. Logic Operations in Memory Using a Memristive Akers Array / Y. Levy, J. Bruck, Y. Cassuto, E. G. Friedman et al. // Microelectronics Journal. 2014. Vol. 45. No. 11. Pp. 1429-1437.
9. Li C. Analogue Signal and Image Processing with Large Memristor Crossbars / C. Li, M. Hu, Y. Li, H. Jiang et al. // Nature electronics. 2018. Vol. 1. Pp. 52-59.
10. Maevsky O. V. Complementary Memristor-Diode Cell for a Memory Matrix in Neuromorphic Processor / O. V. Maevsky, A. D. Pisarev, A. N. Busygin, S. Y. Udovichenko // International Journal of Nanotechnology. 2018. Vol. 15. No. 4/5. Pp. 388-393.
11. Markram H. The Blue Brain Project / H. Markram // Nature Reviews Neuroscience. 2006. Vol. 7. Pp. 153-160.
12. Markram H. The Human Brain Project / H. Markram // Scientific American. 2012. Vol. 306. Pp. 50-55.
13. Merolla P. A. A Million Spiking-Neuron Integrated Circuit with a Scalable Communication Network and Interface / P. A. Merolla et al. // Science. 2014. Vol. 345. No. 6197. Pp. 668-673.
14. Pisarev A. 3D Memory Matrix Based on a Composite Memristor-Diode Crossbar for a Neuromorphic Processor / A. Pisarev, A. Busygin, S. Udovichenko, O. Maevsky // Microelectronic Engineering. 2018. Vol. 198. Pp. 1-7.
15. Schmidhuber J. Deep Learning in Neural Networks: An Overview / J. Schmidhuber // Neural Networks. 2015. Vol. 61. Pp. 85-117.
16. Silberberg G. Stereotypy in Neocortical Microcircuits / G. Silberberg, A. Gupta, H. Markram // Trends in Neurosciences. 2002. Vol. 25. No. 5. Pp. 227-230.

Alexander D. PISAREV¹

UDC 621.382; 004.33

**SPICE-MODELING OF THE PROCESSES OF ASSOCIATIVE
SELF LEARNING AND UNCONDITIONAL DISCRIMINATION
IN THE LOGIC UNIT OF A NEUROPROCESSOR**

¹ Cand. Sci. (Tech.), Associate Professor,
Department of Applied and Technical Physics, Institute of Physics and Technology,
Head of Laboratory of Beam-Plasma Technologies, SEC “Nanotechnologies”,
University of Tyumen
spcb.doc@gmail.com

Abstract

This research relates to the industry of creating nanoelectronic blocks intended for the implementation of a neuroprocessor, which is a hardware platform of neural networks and complex biomorphic architectures, which may, for example, simulate the work of the cortical column of the brain. This article describes the scheme of the electronic logic block, which is the key node of the neuroprocessor, which performs, in particular, the functions of associative self-learning and unconditional unraveling of the neural network.

The logical block of the neuroprocessor consists of elementary cells, in the electrical circuit of which a memristor connected to a diode-transistor logic component is used as a memory element. The topology of the logic block has a 3D-periodic design, which is a composition of CMOS layers and crossbars with memristor material. The manufacturing process of the logical unit is simple enough and can be adapted to existing production lines of electronic devices, since it is based on typical physical and chemical production methods. Memristor crossbars are manufactured by the method of reactive magnetron sputtering, which is combined with common standard CMOS technology.

Based on the logic block, the author suggests an electrical circuit that performs the functions of the known Hodgkin — Huxley neuron model. As examples of the realization of the

Citation: Pisarev A. D. 2018. “SPICE-Modeling of the Processes of Associative Self Learning and Unconditional Discrimination in the Logic Unit of a Neuroprocessor”. Tyumen State University Herald. Physical and Mathematical Modeling. Oil, Gas, Energy, vol. 4, no 3, pp. 132-145. DOI: 10.21684/2411-7978-2018-4-3-132-145

processes of associative self-learning and the unconditional “unlearning” of the electronic logic unit, the principles of interaction of neurons in living objects during the elaboration of a conditioned reflex were used.

The operation of the logic block in the basic modes was investigated by the computer SPICE simulation method. For this purpose, model schemes of control drivers were developed, which were connected to the crossbar lines of the logical unit to generate information signals and set the operating mode of the logical unit. As simulation results, the stress and current diagrams of the combined memristor crossbar are obtained in the specified modes of operation of the device.

The main result achieved is the model of the neuron synapse realized by the analog operation of the memristor as a memory element of the logical block when it is read and written pulse. The change in the resistance of the memristors of the logic block during the pulse recording is shown and stable functioning during reading in the processes of associative self-learning and unconditional raising of the three-layer neural network.

Keywords

Nanoelectronics, SPICE-modeling, neural networks, biomorphic neuroprocessor, combined crossbar, memristor, associative self-learning.

DOI: 10.21684/2411-7978-2018-4-3-132-145

REFERENCES

1. Pisarev A. D., Mayevskiy O. V., Busygin A. N., Udovichenko S. Yu. Invention Application of 27 June 2017 no 2017122704 “Mnogosloynnaya logicheskaya matritsa na osnove memristornoy kommutatsionnoy yacheyki” [Multilayered Logic Matrix Based on Memristor Switching Cells]. Patent granted on 10 April 2018.
2. Udovichenko S. Yu., Pisarev A. D., Busygin A. N., Mayevskiy O. V. 2017. “3D KMOP-memristornaya nanotekhnologiya sozdaniya logicheskoy i zapominayushchey matrits neyroprotsessora” [3D CMOS-Memristor Nanotechnology Creating a Logical and Memory Matrix of a Neuroprocessor]. *Nanoindustriya*, no 5, pp. 26-34.
3. Baladron J., Hamker F. H. 2015. “A Spiking Neural Network Based on the Basal Ganglia Functional Anatomy”. *Neural Networks*, July, vol. 67, pp. 1-13.
4. Bobylev A. N., Busygin A. N., Pisarev A. D., Udovichenko S. Yu., Filippov V. A. 2017. “Neuromorphic Coprocessor Prototype Based on Mixed Metal Oxide Memristors”. *International journal of nanotechnology*, vol. 14, no 7/8, pp. 698-704.
5. Bobylev A. N., Udovichenko S. Yu. 2016. “The Electrical Properties of Memristor Devices $\text{TiN/Ti}_x\text{Al}_{1-x}\text{O}_y/\text{TiN}$ Produced by Magnetron Sputtering”. *Russian Microelectronics*, vol. 45, no 6, pp. 396-401.
6. Brette R, Gerstner W. 2005. “Adaptive Exponential Integrate-and-Fire Model as an Effective Description of Neuronal Activity”. *Journal of Neurophysiology*, vol. 94, pp. 3637-3642.

7. Hodgkin A. L., Huxley A. F. 1952. "A Quantitative Description of Membrane Current and its Application to Conduction and Excitation in Nerve". *Journal of Physiology*, vol. 117, no 4, pp. 500-544.
8. Levy Y., Bruck J., Cassuto Y., Friedman E. G. et al. 2014. "Logic Operations in Memory Using a Memristive Akers Array". *Microelectronics Journal*, vol. 45, pp. 1429-1437.
9. Li C., Hu M., Li Y., Jiang H. et al. 2018. "Analogue Signal and Image Processing with Large Memristor Crossbars". *Nature electronics*, vol. 1, no 1, pp. 52-59.
10. Maevsky O. V., Pisarev A. D., Busygin A. N., Udovichenko S. Yu. 2018. "Complementary Memristor-Diode Cell for a Memory Matrix in Neuromorphic Processor". *International Journal of Nanotechnology*, vol. 15, no 4/5, pp. 388-393.
11. Markham H. 2007. "The Blue Brain Project". *Nature Neuroscience*, February, vol. 7, pp. 153-160.
12. Markham H. 2012. "The Human Brain Project". *Scientific American*, June, pp. 50-55.
13. Merolla P. A. et al. 2014. "A Million Spiking-Neuron Integrated Circuit with a Scalable Communication Network and Interface". *Science*, vol. 345, pp. 668-672.
14. Pisarev A., Busygin A, Udovichenko S, Maevsky O. 2018. "3D Memory Matrix Based on a Composite Memristor-Diode Crossbar for a Neuromorphic Processor". *Microelectronic Engineering*, vol. 198, pp. 1-7.
15. Schmidhuber J. 2015. "Deep Learning in Neural Networks: An Overview". *Neural Networks*, January, vol. 61, pp. 85-117.
16. Silberberg G., Gupta A., Markram H. 2002. "Stereotypy in Neocortical Microcircuits". *TRENDS in Neurosciences*, May, vol. 25, no 5.