

МАТЕМАТИЧЕСКОЕ МОДЕЛИРОВАНИЕ, ЧИСЛЕННЫЕ МЕТОДЫ И КОМПЛЕКСЫ ПРОГРАММ. ИНФОРМАЦИОННЫЕ ТЕХНОЛОГИИ

Александр Дмитриевич ПИСАРЕВ¹

УДК 621.382; 004.33

МАТЕМАТИЧЕСКОЕ МОДЕЛИРОВАНИЕ ПРОЦЕССОВ МАРШРУТИЗАЦИИ СИГНАЛОВ ЛОГИЧЕСКОЙ МАТРИЦЕЙ, А ТАКЖЕ КОДИРОВАНИЯ И ДЕКОДИРОВАНИЯ ИНФОРМАЦИИ В БИОМОРФНОМ НЕЙРОПРОЦЕССОРЕ

¹ кандидат технических наук, доцент
кафедры прикладной и технической физики,
заведующий лабораторией пучково-плазменных технологий
НОЦ «Нанотехнологии», Тюменский государственный университет
spcb.doc@gmail.com; ORCID: 0000-0002-5602-3880

Аннотация

В Тюменском государственном университете осуществлена разработка аппаратного нейропроцессора биоморфного типа на основе комбинированного мемристорно-диодного кроссбара. Такой нейропроцессор реализует биоморфную импульсную нейросеть с большим числом нейронов и обучаемых синаптических связей между ними. Большие биоморфные нейросети позволяют воспроизводить функциональность кортикальной

Цитирование: Писарев А. Д. Математическое моделирование процессов маршрутизации сигналов логической матрицей, а также кодирования и декодирования информации в биоморфном нейропроцессоре / А. Д. Писарев // Вестник Тюменского государственного университета. Физико-математическое моделирование. Нефть, газ, энергетика. 2022. Том 8. № 2 (30). С. 150-164.

DOI: 10.21684/2411-7978-2022-8-2-150-164

колонки головного мозга человека, что посредством автономного нейропроцессора предоставляет новые возможности для задач обработки информации. При проектировании и оптимизации работы входного и выходного устройств, а также логической матрицы нейропроцессора, созданных на основе больших комбинированных мемристорно-диодных кроссбаров, необходимы физико-математические модели, позволяющие моделировать их работу.

В настоящем сообщении представлены разработанные для этого нейропроцессора физико-математические модели: работы ячейки логической матрицы, построенной на основе упрощенных электрических моделей мемристора и диода Зенера; процесса маршрутизации логической матрицей выходных импульсов нейронов на синапсы других нейронов; процессов кодирования информации в биоморфные импульсы и их декодирования после нейронного блока в двоичный код. С помощью этих моделей и численного моделирования показана работоспособность входного и выходного устройств, а также логической матрицы биоморфного нейропроцессора при обработке поступающей информации. Оригинальность моделей связана со спецификой выбранной мемристорно-диодной ячейки универсальной большой логической матрицы, которая, помимо своей основной работы в качестве маршрутизатора импульсов, является основой электрических схем входного и выходного устройств нейропроцессора.

Для численного моделирования работы больших электрических схем, содержащих мемристорно-диодные кроссбары, применялась оригинальная специализированная программа MDC-SPICE.

Ключевые слова

Биоморфный нейропроцессор, кодирование и декодирование информации, логическая матрица, маршрутизатор, мемристорно-диодный кроссбар.

DOI: 10.21684/2411-7978-2022-8-2-150-164

Введение

В настоящее время осуществлена разработка аппаратного нейропроцессора биоморфного типа на основе комбинированного мемристорно-диодного кроссбара, реализующего аппаратную биоморфную импульсную нейросеть с большим числом нейронов для традиционных задач обработки информации, в том числе распознавания паттернов в видео- и аудиоинформации, а также для воспроизведения работы кортикальной колонки мозга или ее фрагмента [1, 10].

В качестве ключевых узлов аппаратной части нейропроцессора являются сверхбольшие запоминающая [9] и логическая матрицы [10], представляющие собой массив мемристорных синапсов и задающие вес и маршрут связи между нейронами соответственно. В составе нейропроцессора также входное кодирующее [3, 8] и выходное декодирующее [2] устройства, разработанные с помощью универсальной логической матрицы на основе комбинированного мемристорно-диодного кроссбара.

Для математического имитационного моделирования процесса обработки информации в логической матрице необходимо разработать физико-математические модели работы мемристорно-диодной ячейки и работы матрицы в режиме маршрутизации выходных сигналов от нейронного блока нейропроцессора.

Поскольку биоморфный нейропроцессор является аппаратной реализацией импульсной нейросети, необходимо преобразовать поступающую информацию из набора чисел в импульсы, а выходящую из нейропроцессора, наоборот, из импульсов в двоичный код. Для численного моделирования процессов обработки информации в кодирующем и декодирующем устройствах необходимо разработать физико-математические модели, описывающие эти процессы.

Физико-математическая модель работы ячейки логической матрицы

С целью разработки и численного имитационного моделирования сверхбольшой логической матрицы на основе комбинированного мемристорно-диодного кроссбара создана физико-математическая модель работы ячейки на основе упрощенных электрических моделей мемристора и диода Зенера.

В модели мемристора изменение параметра состояния было жестко ограничено по сравнению с [7], поскольку неабсолютная точность рациональных чисел в компьютерной системе приводит к выходу параметра состояния за границы допустимого интервала. Для диода Зенера построена идеализированная вольт-амперная зависимость, которая представляет собой кусочно-линейную функцию из трех прямых. Дифференциальное электрическое сопротивление диода Зенера, определяемое отношением малого изменения напряжения к соответствующему изменению тока, задано большим в диапазоне от напряжения обратимого пробоя до напряжения открытия $p-n$ -перехода. В областях графика зависимости, далеких от сильной нелинейности, кусочно-линейная вольт-амперная характеристика совпадает с вольт-амперной характеристикой в модели диода [13]. Общее напряжение на входе инвертора описывается следующей формулой:

$$V_j = \frac{\frac{V_b}{R_b} + \sum_i \frac{V_i}{R_i + R_d(V_{di})}}{\frac{1}{R_b} + \sum_i \frac{1}{R_i + R_d(V_{di})}}; V_{di} = V_j - I_i R_i; R_d \approx \begin{cases} 0, & V_i = 0, \\ \infty, & V_i \approx V_b. \end{cases} \quad (1)$$

Здесь V_b — напряжение смещения, R_b — подтягивающий резистор, R_d — сопротивление диода Зенера, R_i — сопротивления мемристоров, V_i — напряжения на входе ячейки. С учетом того, что входные напряжения в пределах небольшой погрешности могут быть только двух значений, соответствующих логическим нулю и единице, далее достаточно рассмотреть работу на уровне логических переменных. Каждый j -й столбец кроссбара с выходным инвертором выполняет логическую функцию «И-НЕ» над входными битами x_i :

$$y_j = \overline{\bigwedge_{i=0}^n m_{ij} x_i}. \quad (2)$$

Элементы матрицы коммутации $m_{ij} \in [0, 1]$ определяют, будет ли использоваться x_i в конъюнкции или нет.

Физико-математическая модель и численное моделирование работы логической матрицы в режиме маршрутизации выходных сигналов нейронного блока

Согласно концепции нейропроцессора, для передачи информации нейронный блок посылает на логическую матрицу импульсы, форма которых из-за предшествующих преобразований сильно искажается и амплитуда уменьшается, что приводит к деградации всего сигнала. Наилучшим решением в этом случае является маршрутизация импульсов с использованием цифрового схмотехнического элемента, приводящего информационные импульсы в нормированный вид путем их усиления и ограничения по уровню. Задачу защиты сигнала от деградации хорошо решает логическая матрица, за счет содержащихся в ней инверторных вентилях. Инверторы усиливают сигнал, т. е. коэффициент объединения по выходу у нейрона будет большой, что является преимуществом при сверхбольшом размере блока.

Одновременно с защитой информационного сигнала от деградации логическая матрица играет роль маршрутизатора, направляя выходные импульсы между нейронами. Для сложной маршрутизации информационных импульсов логическая матрица может быть выполнена в 3D-топологии и содержать в себе достаточно большое количество слоев. Внутри слоев выполняется горизонтальная маршрутизация сигналов через проводящие шины, между слоями сигнал коммутируется в вертикальном направлении через мемристоры. Логическая матрица в 3D-исполнении решает проблему передачи сигналов с пласта на пласт в вертикальном направлении без применения сложной технологии трехразмерной сборки пластин или кристаллов TSV.¹

Физико-математическая модель работы маршрутизатора [6, 10], который направляет выходные импульсы нейронов на синапсы других нейронов, реализована в логической матрице из двух функциональных слоев. Первый слой логической матрицы запрограммирован таким образом, что низкое сопротивление имеют мемристоры на главной диагонали. Следовательно, в первом слое образован набор одноходовых элементов «И-НЕ», эквивалентных элементу «НЕ». Мемристоры с низким сопротивлением во втором слое логической матрицы подключают требуемые выходы из первого слоя к входной шине выходного инвертора. Тогда матрица коммутации будет диагональной: $m_{ij} = \delta_{ij}$, где δ_{ij} — символ Кронекера.

$$y_j = \bigwedge_{i=0}^n m_{ij} x_i = \bigwedge_{i=0}^n \delta_{ij} x_i = \bar{x}_j. \quad (3)$$

¹ TSV (through-silicon vias) — переходные отверстия в кремнии (англ.).

Один инвертор с подключенными к нему мемристорами выполняет конъюнкцию с отрицанием над инвертированными в первом пласте сигналами, что в итоге эквивалентно дизъюнкции над ними.

$$y_j = \bigwedge_{i=0}^n m_{ij} \bar{x}_i = \bigvee_{i=0}^n m_{ij} x_i. \quad (4)$$

В результате логическая матрица из двух функциональных пластов позволяет перенаправлять на произвольный выход сигналы с любых входов. Маршруты для сигналов, запрограммированные в логическом блоке, однозначно определяют архитектуру нейросети, которая будет установлена на нейропроцессор.

Путем SPICE¹-моделирования фрагмента, состоящего из двух пластов, которые для примера содержат по две логические ячейки, было проведено тестирование работоспособности 3D логической матрицы в качестве маршрутизатора [4]. Рис. 1 демонстрирует уровни напряжения на входе и выходе матрицы, полученные в ходе моделирования.

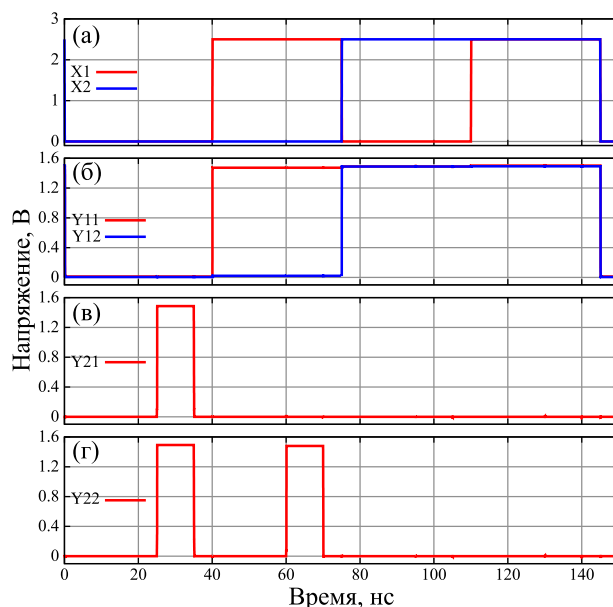


Рис. 1. Эпюры напряжения на входе и выходе пластов логической матрицы: а) вход верхнего пласта; б) выходы верхнего пласта / входы нижнего пласта; в) и г) выходы нижнего пласта

Fig. 1. Diagrams of voltage at the input and output of the layers of the logic matrix: а) input of the upper layer; б) outputs of the upper layer / inputs of the lower layer; в) and г) outputs of the lower layer

¹ SPICE (simulation program with integrated circuit emphasis) — программный симулятор для математического моделирования интегральных схем (англ.).

Напряжение на входе матрицы постоянное, а питание инверторов импульсное. Два коммутирующих мемристора содержится в каждой ячейке. Информация записывалась последовательно в мемристоры. Низкое сопротивление получили мемристоры M1, M2 и M5 в первом пласте, а во втором — M1 и M5 [4]. Остальные мемристоры остались в состоянии с высоким сопротивлением.

Соответствующие матрицы коммутации для двух пластов будут записаны в следующем виде:

$$m_{ij}^{(1)} = \begin{pmatrix} 1 & 0 \\ 1 & 1 \end{pmatrix}; m_{ij}^{(2)} = \begin{pmatrix} 1 & 0 \\ 0 & 1 \end{pmatrix}.$$

Входные переменные X1 и X2 подавались в инвертированном виде. Таким образом, с помощью верхнего пласта для модельных информационных сигналов были реализованы логические функции: $Y11 = V(x111) = X1 \vee X2$ и $Y12 = V(x112) = X2$; в нижнем пласте были выполнены следующие функции: $Y21 = HE(Y11) = HE(X1 \vee X2)$ и $Y22 = HE(Y12) = HE(X2)$.

По рис. 1 видно, что сигналы матрицы на выходе, полученные путем моделирования, соответствуют запрограммированным логическим функциям: сигнал на Y11 является дизъюнкцией X1 и X2, а сигнал на Y12 представляет собой инверсию X2. Сигналы Y21, Y22 стробированы импульсами, приходящими на питание выходных инверторов.

Физико-математические модели и численное моделирование процессов обработки информации в кодирующем и декодирующем устройствах

Физико-математическая модель работы электрической схемы кодирующего устройства нейропроцессора [11] так же, как и в маршрутизаторе, основывается на программируемых логических схемах, образующих дизъюнктивно нормальные формы (ДНФ). Логическая матрица должна обладать функциональной полнотой логических операций для реализации множества ДНФ из операций «И-НЕ» и «ИЛИ-НЕ». В логической матрице реализуется полный логический базис при условии, что логические переменные будут подаваться в прямом и инверсном виде. В логической матрице мемристорно-диодных кроссбаров реализуются логические вентили «И» (конъюнкции) на основе диодно-резистивной логики с возможностью отключения любых входов вентиля путем изменения сопротивления мемристоров. Инверторы на выходе служат для восстановления значений напряжений логических уровней. В первой матрице вместо источника напряжения для подтягивающих резисторов подключены линии задержки, а вторая матрица используется без изменений. Матрицы подключены последовательно и запрограммированы на реализацию совершенной дизъюнктивно нормальной формы, коммутирующей импульсы с линией задержек на выходы в зависимости от входного двоичного числа.

Логическая схема кодирующего устройства является совершенной дизъюнктивно нормальной формой. Преобразование осуществляется в две операции: сначала входное двоичное число преобразуется в позиционный код, затем, согласно позиции, сигнал от соответствующей линии задержки поступает на выход.

Таким образом, в матрице конъюнкций реализована схема дешифратора двоичного адреса. Элементы матрицы коммутации дешифратора m_{ij} связаны со значениями разрядов целого положительного числа j в двоичном представлении:

$$j = \sum_{i=0}^{n-1} \alpha_{ij} 2^i; m_{ij} = \begin{cases} \alpha_{ij}, & i < n, \\ \bar{\alpha}_{ij}, & n \leq i < 2n, \end{cases} \quad j \in [0, 2^n - 1], i \in [0, 2n - 1], \quad (5)$$

где n — разрядность входного числа. Преобразование числа x в величину задержки импульса от нейрона $l(x)$ определяется с помощью функции Гаусса:

$$l(x) = W \cdot \left(1 - \exp \left(-\frac{1}{2} \left(\frac{x - \mu}{\sigma} \right)^2 \right) \right). \quad (6)$$

Здесь W — ширина окна кодирования во времени; μ — собственное значение нейрона, при кодировании которого будет минимальная задержка; σ — параметр, определяющий избирательность реакции нейрона.

Таким образом, для j -й линии (j -го нейрона) величина задержки будет равна:

$$l_j = W \cdot \left(1 - \exp \left(-\frac{1}{2} \left(\frac{j - \mu_j}{\sigma_j} \right)^2 \right) \right). \quad (7)$$

Точность представления входного числа определяется количеством используемых бит n , а точность выходного отображения — от количества линий задержек. Кодирование происходит при поступлении от управляющей схемы импульса, запускающего выборку входного числа. Линии задержки построены на базе двух RC-цепей и логических вентилей. Постоянная времени первой интегрирующей RC-цепи определяет величину задержки. Задержка является программируемой величиной, поскольку в качестве резистора RC-цепи использован мемристор. Вторая RC-цепь отвечает за ширину выходного импульса.

Численное моделирование работы кодирующего устройства выполнялось в специализированной программе MDC-SPICE¹ с учетом формул (2), (5)-(7). На рис. 2 представлен результат моделирования режима кодирования двух входных чисел n_0 и n_1 популяцией трех виртуальных нейронов одновременно в задержки и частоту импульсов [5]. Число n_0 линейно возрастало во времени от 1 до 7, а n_1 — наоборот, убывало с 7 до 1.

Одновременное кодирование популяцией нейронов пространственной производной входного числа в частоту и значения входного числа в задержки импульсов по предложенной схеме дополнительно позволяет кодировать и производную входной величины во времени. За счет широкого информационного канала и большего объема передаваемой информации популяционное кодирование, которое наблюдается в биологических нейронных сетях [12], является предпочтительным, потому что позволяет быстрее реагировать на изменение уровня входного сигнала.

¹ Memristor-diode crossbar — simulation program with integrated circuit emphasis.

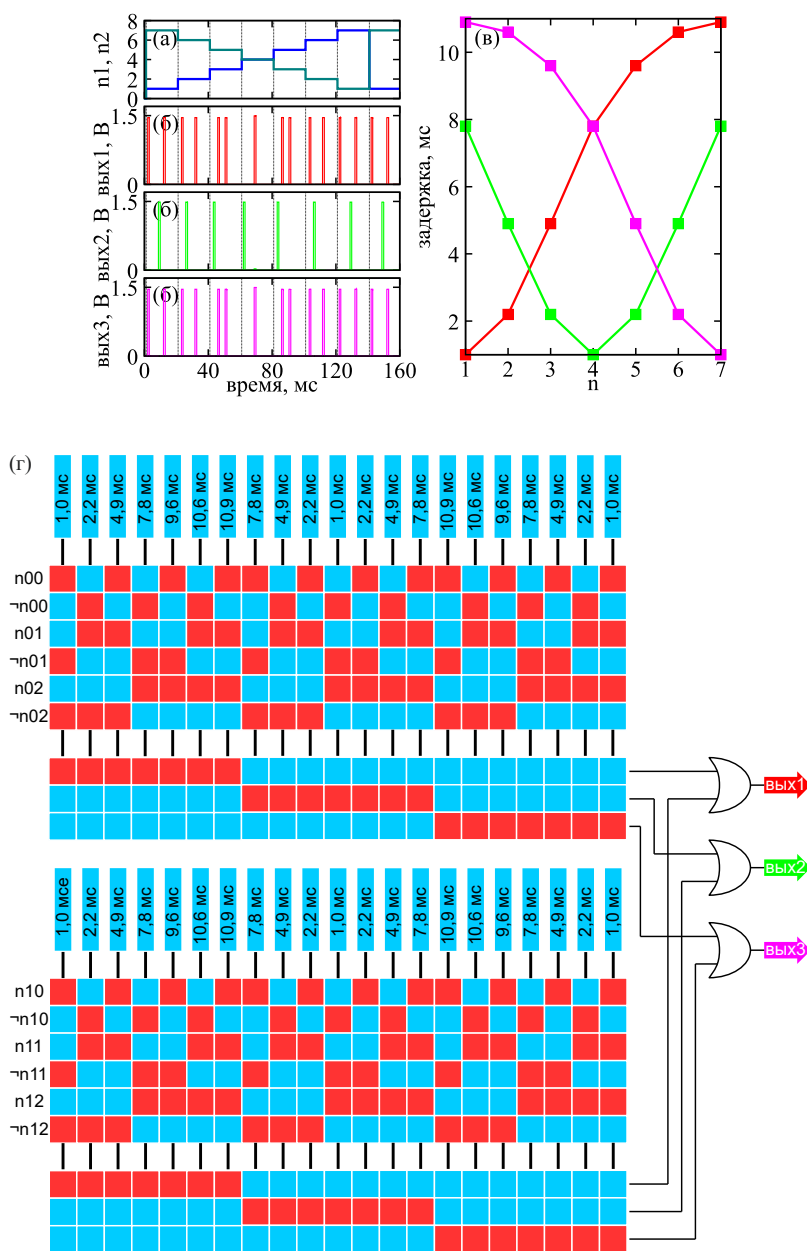


Рис. 2. Моделирование режима кодирования одновременно в задержки и частоту импульсов популяцией нейронов: а) изменение входных чисел во времени; б) выходные импульсы; в) функции преобразования чисел n в частоту f ; г) карта проводимости мемристоров

Fig. 2. Simulation of the encoding mode simultaneously in delay and spike frequency by population of neurons: а) change in input numbers over time; б) output spikes; в) functions for converting numbers n to frequency f ; г) memristor conductivity map

Физико-математическая модель работы выходного устройства основана на обработке импульсных сигналов в универсальной логической матрице [6], один слой которой представляет собой набор логических вентилей «И» или «ИЛИ» с произвольно подключаемыми входами. Путем маршрутизации импульсных сигналов и объединения их по логике «И-ИЛИ» на одной линии задавалась информационная величина или ее модификация. Логический элемент «ИЛИ» осуществляет увеличение частоты при объединении импульсов входного сигнала с импульсами другого сигнала или генератора. Это эквивалентно операциям суммирования информационных величин. Модификация информации выполняется коммутируемой маршрутизацией информационных импульсов между позициями линий логической матрицы. Формула преобразования в модели задавалась программируемыми связями матрицы маршрутизации. Внутри матрицы маршрутизации должно быть $N \cdot K$ возможных связей между N входными и K выходными линиями. Из них требуется запрограммировать K связей маршрутизации. Для взаимно однозначного преобразования должно выполняться условие $N = K$ в случае биективного отображения входного множества значений на выходное, а также может быть $N > K$ в случае неполного преобразования.

Матрица коммутации выходного устройства имеет ненулевые элементы:

$$m_{ij} = 1, i \cdot n \leq j < (i + 1) \cdot n, \quad (8)$$

где n — разрядность генератора двоичных чисел, i — индекс импульсных входов, j — индекс выходных разрядов.

Для состояний выходных инверторов логической матрицы y_j справедливо следующее соотношение:

$$y_j = \left(\bigwedge_{i=0}^l m_{ij} x_i \right) \wedge g_j, \quad (9)$$

где x_i — состояние i -го входа логической матрицы; l — полное число входов; g_j — состояние напряжения подтягивающего резистора, определяемое генератором двоичных чисел.

Для проверки математической модели на рис. 3 слева показана электрическая схема и справа — результаты ее численного моделирования с учетом формул (2), (8) и (9) в специализированной программе MDC-SPICE работы выходного устройства [2], декодирующего двухразрядный импульсный сигнал от популяции нейронов в двухразрядное число с использованием генератора бинарных чисел. В качестве примера декодирования выбран формат представления информации в виде шестнадцатеричного двухразрядного числа, находящегося в области от 0x00 до 0xFF.

По диаграмме, показанной на рис. 3 справа, в соответствии со SPICE-моделированием и формулой (9) можно видеть, что декодированная величина соответствует заданному примеру. Значения преобразуемой величины на входе показаны на диаграммах сигналами «вход_0» и «вход_1» в виде задержанных

импульсов красного цвета. Значение задержки этих импульсов определяется по положению красных импульсов по отношению к синему синхронизирующему сигналу. Эпюры синего цвета получены объединением импульсов генератора бинарных чисел, которых в одном фрейме 15 штук для шестнадцатеричного формата представления информационного сигнала.

Счет импульсов производится с конца фрейма. В первом кадре положение входного импульса на линии «вход_0» соответствует значению задержки 14, положение входного импульса на линии «вход_1» равно значению 12. Это означает, что в первом кадре закодировано в виде задержек шестнадцатеричное число 0xCE. Во втором кадре — число 0xAA. Результат выведен в параллельном бинарном коде с помощью восьми выходных линий. В первом кадре, как показано на диаграмме SPICE-моделирования (рис. 3, слева), на линиях lr и lh показано бинарное значение $b'11001110'$, что соответствует шестнадцатеричному числу 0xCE. Во втором кадре на линиях lr и lh — бинарное значение $b'10101010'$, что соответствует шестнадцатеричному числу 0xAA.

Таким образом, с помощью SPICE проведено математическое моделирование процессов маршрутизации сигналов логической матрицы и показано кодирование и декодирование информации в основных узлах биоморфного нейропроцессора, основанного на мемристорно-диодных кроссбарах. Результаты моделирования показывают работоспособность узлов нейропроцессора и позволяют сравнивать способы представления информации по энергоэффективности и скорости работы электронных блоков.

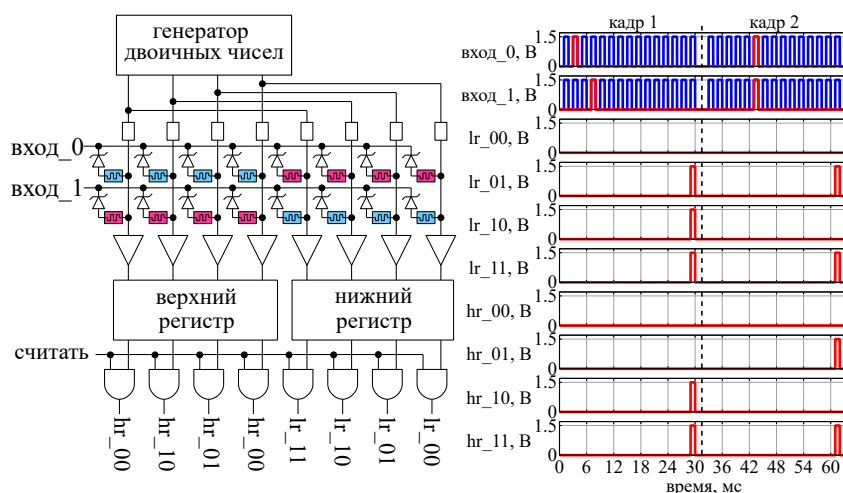


Рис. 3. Электрическая схема и результаты моделирования процесса декодирования двухразрядного импульсного сигнала в двухразрядное число с использованием генератора бинарных чисел

Fig. 3. Electrical circuit and simulation results of the process of decoding a two-bit pulse signal into a two-bit number using a generator of binary numbers

Заключение

Для численного имитационного моделирования сверхбольшой логической матрицы с комбинированным мемристорно-диодным кроссбаром создана физико-математическая модель работы ячейки на основе упрощенных электрических моделей мемристора и диода Зенера.

Разработана физико-математическая модель процесса обработки сигналов в сверхбольшой логической матрице биоморфного нейропроцессора в режиме маршрутизации выходных сигналов нейронного блока. Представлены результаты численного моделирования, проведенного на основе разработанных моделей, процесса маршрутизации в логической матрице выходных импульсов нейронов на синапсы других нейронов.

Разработана физико-математическая модель процесса обработки информации в кодирующем устройстве биоморфного нейропроцессора, построенного на основе логической матрицы с комбинированным мемристорно-диодным кроссбаром. С помощью численного моделирования в специализированной программе MDC-SPICE показана работоспособность электрической схемы входного кодирующего устройства в режиме кодирования двоичного числа одновременно в частоту и в задержки импульсов популяцией трех нейронов.

Разработана физико-математическая модель процесса обработки информации в декодирующем устройстве биоморфного нейропроцессора, представляющем собой логическую матрицу на основе мемристорно-диодного кроссбара. Получены результаты численного моделирования для декодирования информационных сигналов импульсного типа в двоичный формат данных. Показана компактная реализация схемы декодирования сигналов нейропроцессора, которая может быть выполнена в одном слое мемристорно-диодной логической матрицы. Результат схемотехнического решения достигнут за счет применения логических преобразований, выполняемых внутри мемристорно-диодного кроссбара, и генератора двоичных чисел, установленного на периферии мемристорной логической матрицы.

СПИСОК ЛИТЕРАТУРЫ

1. Писарев А. Д. Биоморфный нейропроцессор на основе наноразмерного комбинированного мемристорно-диодного кроссбара / А. Д. Писарев, С. Ю. Удовиченко. М.: Техносфера, 2021. 228 с.
2. Писарев А. Д. Моделирование процессов декодирования информации в выходном устройстве биоморфного нейропроцессора / А. Д. Писарев, А. Н. Бусыгин, А. Х. А. Ибрагим, С. Ю. Удовиченко // Вестник Тюменского государственного университета. Физико-математическое моделирование. Нефть, газ, энергетика. 2020. Том 6. № 4 (24). С. 179-193. DOI: 10.21684/2411-7978-2020-6-4-179-193
3. Писарев А. Д. Энергоэффективное биоморфное импульсное кодирование информации в электронных нейронах для входного блока нейропроцессора / А. Д. Писарев // Вестник Тюменского государственного университета.

- Физико-математическое моделирование. Нефть, газ, энергетика. 2019. Том 5. № 3. С. 186-212. DOI: 10.21684/2411-7978-2019-5-3-186-212
4. Удовиченко С. Ю. 3D КМОП — мемристорная нанотехнология создания логической и запоминающей матриц нейропроцессора / С. Ю. Удовиченко, А. Д. Писарев, А. Н. Бусыгин, О. В. Маевский // Наноиндустрия. 2017. № 5 (76). С. 26-34. DOI: 10.22184/1993-8578.2017.76.5.26.34
 5. Удовиченко С. Ю. Биоморфный нейропроцессор — прототип компьютера нового поколения, являющегося носителем искусственного интеллекта. Часть 2 / С. Ю. Удовиченко, А. Д. Писарев, А. Н. Бусыгин, А. Н. Бобылев // Наноиндустрия. 2021. Том 14. № 1 (103). С. 68-79. DOI: 10.22184/1993-8578.2021.14.1.68.79
 6. Удовиченко С. Ю. Нейропроцессор на основе комбинированного мемристорно-диодного кроссбара / С. Ю. Удовиченко, А. Д. Писарев, А. Н. Бусыгин, О. В. Маевский // Наноиндустрия. 2018. Том 11. № 5 (84). С. 344-355. DOI: 10.22184/1993-8578.2018.84.5.344.355
 7. Biolek D. Reliable SPICE simulations of memristors, memcapacitors and meminductors / D. Biolek, M. Di Ventra, Yu. V. Pershin // Radioengineering. 2013. Vol. 22. No. 4. Pp. 945-968. DOI: 10.48550/arXiv.1307.2717
 8. Busygin A. N. Input device for a biomorphic neuroprocessor based on a memristor-diode crossbar for the pulse coding of information / A. N. Busygin, A. H. Ebrahim, A. D. Pisarev, S. Yu. Udovichenko // Nanobiotechnology Reports. 2021. Vol. 16. No. 6. Pp. 798-803. DOI: 10.1134/S2635167621060069
 9. Pisarev A. D. 3D memory matrix based on a composite memristor-diode crossbar for a neuromorphic processor / A. D. Pisarev, A. N. Busygin, S. Yu. Udovichenko, O. V. Maevsky // Microelectronic Engineering. 2018. Vol. 198. Pp. 1-7. DOI: 10.1016/j.mee.2018.06.008
 10. Pisarev A. D. A biomorphic neuroprocessor based on a composite memristor-diode crossbar / A. D. Pisarev, A. N. Busygin, S. Yu. Udovichenko, O. V. Maevsky // Microelectronics Journal. 2020. Vol. 102. Art. 104827. DOI: 10.1016/j.mejo.2020.104827
 11. Pisarev A. D. Operation principle and fabrication technology of the neuroprocessor input unit on the basis of the memristive logic matrix / A. D. Pisarev, A. N. Busygin, A. N. Bobylev, S. Yu. Udovichenko // International Journal of Nanotechnology. 2019. Vol. 16. No. 6-10. Pp. 596-601. DOI: 10.1504/IJNT.2019.106630
 12. Winters B. D. Amplitude normalization of dendritic EPSPs at the soma of binaural coincidence detector neurons of the medial superior olive / B. D. Winters, Shan-Xue Jin, K. R. Ledford, N. L. Golding // Journal of Neuroscience. 2017. Vol. 37. No. 12. Pp. 3138-3149. DOI: 10.1523/JNEUROSCI.3110-16.2017
 13. Wong S. SPICE macro model for the simulation of zener diode I-V characteristics / S. Wong, C. M. Hu // IEEE Circuits and Devices Magazine. 1991. Vol. 7. No. 4. Pp. 9-12. DOI: 10.1109/101.134564

Alexander D. PISAREV¹

UDC 621.382; 004.33

**MATHEMATICAL MODELING OF THE PROCESSES
OF SIGNAL ROUTING BY LOGIC MATRIX,
INFORMATION ENCODING AND DECODING
IN THE BIOMORPHIC NEUROPROCESSOR**

¹ Cand. Sci. (Tech.), Associate Professor,
Department of Applied and Technical Physics,
Head of Laboratory of Beam-Plasma Technologies,
Scientific and Educational Centre “Nanotechnologies”,
University of Tyumen
spcb.doc@gmail.com; ORCID: 0000-0002-5602-3880

Abstract

At the University of Tyumen, a biomorphic hardware neuroprocessor based on a combined memristor-diode crossbar has been developed. The neuroprocessor implements a biomorphic spiking neural network with a large number of neurons and trainable synaptic connections between them. Large biomorphic neural networks make it possible to reproduce the functionality of the human brain cortical column. This provides new opportunities for information processing tasks by standalone neuroprocessor. When designing and optimizing the operation of the input and output devices, as well as the logic matrix of the neuroprocessor created based on large combined memristor-diode crossbars, physico-mathematical models are needed to simulate their work.

This report presents the physico-mathematical models developed for this neuroprocessor: of the operation of a logic matrix cell built on the basis of simplified electrical models of a memristor and a Zener diode; of the process of the neurons output spikes routing of by the logic matrix to the synapses of other neurons; of processes of information encoding into biomorphic impulses and decoding of neural block output into a binary code. With the help

Citation: Pisarev A. D. 2022. “Mathematical modeling of the processes of signal routing by logic matrix, information encoding and decoding in the biomorphic neuroprocessor”. Tyumen State University Herald. Physical and Mathematical Modeling. Oil, Gas, Energy, vol. 8, no. 2 (30), pp. 150-164.

DOI: 10.21684/2411-7978-2022-8-2-150-164

of these models and numerical simulation, the operability of the input and output devices, as well as the logic matrix of the biomorphic neuroprocessor, is shown when processing incoming information. The originality of the models is associated with the specifics of the selected memristor-diode cell of the universal large logic matrix, which, in addition to its main work as a spikes router, is the basis of the electrical circuits of the input and output devices of the neuroprocessor.

For numerical simulation of the operation of large electrical circuits containing memristor-diode crossbars, the original specialized program MDC-SPICE was used.

Keywords

Biomorphic neuroprocessor, encoding and decoding of information, logic matrix, spikes router, composite memristor-diode crossbar.

DOI: 10.21684/2411-7978-2022-8-2-150-164

REFERENCES

1. Pisarev A. D., Udovichenko S. Yu. 2021. Biomorphic neuroprocessor based on nanoscale composite memristor-diode crossbar. Moscow: Technosphaera, 2021. 228 p. [In Russian]
2. Pisarev A. D., Busygin A. N., Ibrahim A. H. A., Udovichenko S. Yu. 2020. "Simulation of information decoding processes in the output device of the biomorphic neuroprocessor". Tyumen State University Herald. Physical and Mathematical Modeling. Oil, Gas, Energy, vol. 6, no. 4 (24), pp. 179-193. DOI: 10.21684/2411-7978-2020-6-4-179-193 [In Russian]
3. Pisarev A. D. 2019. "Energy efficient biomorphic pulse information coding in electronic neurons for the entrance unit of the neuroprocessor". Tyumen State University Herald. Physical and Mathematical Modeling. Oil, Gas, Energy, vol. 5, no. 3, pp. 186-212. DOI: 10.21684/2411-7978-2019-5-3-186-212 [In Russian]
4. Udovichenko S. Yu, Pisarev A. D., Busygin A. N., Maevsky O. V. 2017. "3D CMOS, memristor nanotechnology for creating logical and memory matrices of neuroprocessor". Nanoindustry, no. 5 (76), pp. 26-34. DOI: 10.22184/1993-8578.2017.76.5.26.34 [In Russian]
5. Udovichenko S. Yu., Pisarev A. D., Busygin A. N., Bobylev A. N. 2021. "Biomorphous neuroprocessor — prototype of a new generation computer being a carrier of artificial intelligence. Part 2". Nanoindustry, vol. 14, no. 1 (103), pp. 68-79. DOI: 10.22184/1993-8578.2021.14.1.68.79 [In Russian]
6. Udovichenko S. Yu, Pisarev A. D., Busygin A. N., Maevsky O. V. 2018. "Neuroprocessor based on combined memristor-diode crossbar". Nanoindustry, vol. 11, no. 5 (84), pp. 344-355. DOI: 10.22184/1993-8578.2018.84.5.344.355 [In Russian]
7. Bielek D., Di Ventra M., Pershin Yu. V. 2013. "Reliable SPICE simulations of memristors, memcapacitors and meminductors". Radioengineering, vol. 22, no. 4, pp. 945-968. DOI: 10.48550/arXiv.1307.2717
8. Busygin A. N., Ebrahim A. H., Pisarev A. D., Udovichenko S. Yu. 2021. "Input device for a biomorphic neuroprocessor based on a memristor-diode crossbar for the pulse coding of information". Nanobiotechnology Reports, vol. 16, no. 6, pp. 798-803. DOI: 10.1134/S2635167621060069

9. Pisarev A. D., Busygin A. N., Udovichenko S. Yu., Maevsky O. V. 2018. "3D memory matrix based on a composite memristor-diode crossbar for a neuromorphic processor". *Microelectronic Engineering*, vol. 198, pp. 1-7. DOI: 10.1016/j.mee.2018.06.008
10. Pisarev A. D., Busygin A. N., Udovichenko S. Yu., Maevsky O. V. 2022. "A biomorphic neuroprocessor based on a composite memristor-diode crossbar". *Microelectronics Journal*, vol. 102, art. 104827. DOI: 10.1016/j.mejo.2020.104827
11. Pisarev A. D., Busygin A. N., Bobylev A. N., Udovichenko S. Yu. 2019. "Operation principle and fabrication technology of the neuroprocessor input unit on the basis of the memristive logic matrix". *International Journal of Nanotechnology*, vol. 16, no. 6-10, pp. 596-601. DOI: 10.1504/IJNT.2019.106630
12. Winters B. D., Shan-Xue Jin, Ledford K. R., Golding N. L. 2017. "Amplitude normalization of dendritic EPSPs at the soma of binaural coincidence detector neurons of the medial superior olive". *Journal of Neuroscience*, vol. 37, no. 12, pp. 3138-3149. DOI: 10.1523/JNEUROSCI.3110-16.2017
13. Wong S., Hu C. M. 1991. "SPICE macro model for the simulation of zener diode I-V characteristics". *IEEE Circuits and Devices Magazine*, vol. 7, no. 4, pp. 9-12. DOI: 10.1109/101.134564